

출력 일자: 2003/3/3

Date
mailed
발송번호 : 9-5-2003-007555506
발송일자 : 2003.02.28
제출기일 : 2003.04.30

수신 : 서울 서초구 양재동 275-7 KEC빌딩 17층
김창세 귀하

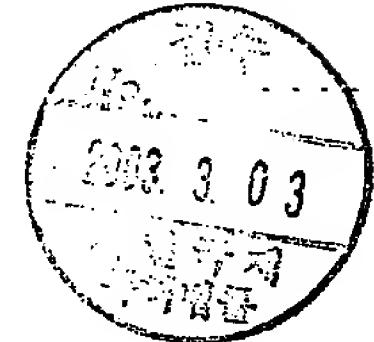
137-130

특허청 의견제출통지서

Office Action

Applicant
출원인

명칭 MITSUBISHI DENKI KABUSHIKI KAISHA (출원번호: 519980960919)
주소 일본국 도쿄도 지요다구 마루노우치 2쵸메 2반 3고



대리인

성명 김창세

Application No.

주소 서울 서초구 양재동 275-7 KEC빌딩 17층

출원번호

10-2001-0046917

발명의 명칭

트레이스 제어 회로

(Gp) → KO → IES

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항 내지 제3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 트레이스 제어회로에 관한 것이나, 이는 인용문헌1(일본특개평2-148339(1990.6.7))에 마이크로 인스트럭션 어드레스와 분기신호에 의해 업데이트된 분기된 어드레스 레지스터의 어드레스가 서로 같지 않을 때만 비교부에서 비교되는 트레이스 제어회로의 구성이 나타나 있고, 또한 인용문헌2(일본특개평2-244342(1990.9.28))에 트레이싱하기 위한 버퍼에서 불필요하게 반복되는 데이터를 저장하지 않고 효율있는 데이터만을 수집항으로써 트레이싱을 위한 버퍼 저장의 효율을 향상시키는 분기명령 트레이스의 구성이 나타나 있는 바, 본원의 청구범위 제1항 내지 제3항은 본원 기술분야에서 통상의 지식을 가진 자가 상기 두 인용문헌의 결합으로부터 용이하게 발명할 수 있는 정도의 것이라고 판단됨

[첨부] Cited references

첨부 1 일본공개특허공보 평02-148339호(1990.06.07) 1부 JP02-148339A
첨부2 일본공개특허공보 평02-244342호(1990.09.28) 1부 JP02-244342A

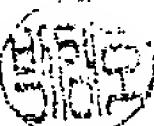
2003.02.28

특허청

심사4국

전자심사담당관실

심사관 박성호



출력 일자: 2003/3/3

<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위이내에서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5724로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-148339

(43)Date of publication of application : 07.06.1990

(51)Int.Cl.

G06F 11/28

(21)Application number : 63-303168

(71)Applicant : NEC CORP

KOYU NIPPON DENKI KK

(22)Date of filing : 30.11.1988

(72)Inventor : MAKITA AKIHISA

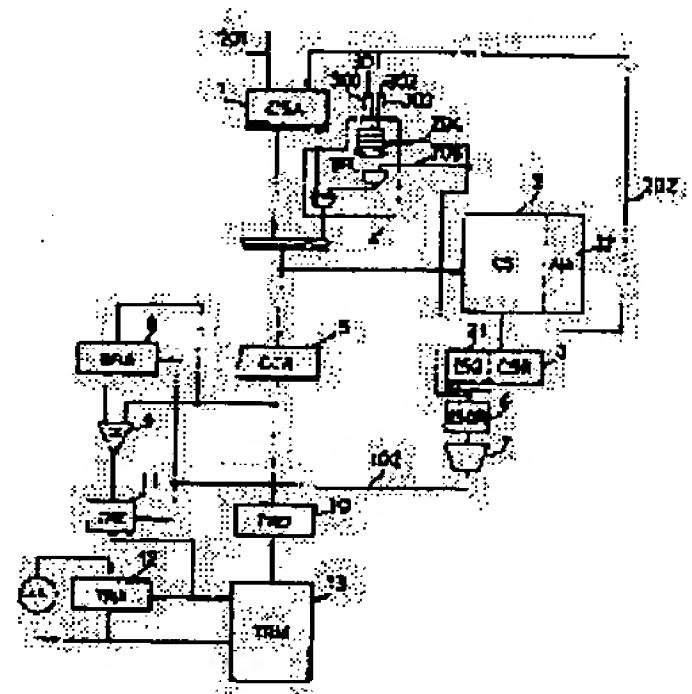
KITSUTA MAYUMI

(54) TRACER CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To perform efficient trace with a simple constitution by comparing a microinstruction address in a branched direction with the microinstruction address at the preceding condition branching time at every execution of a condition branching command and updating tracing data only when the addresses are different from each other.

CONSTITUTION: The microinstruction of an address accessed from a control storage (CS) 2 is set in a microinstruction receiving register (CSR) 3. The field (ISQ) 31 of the CSR 3 is set in the next register (ISQR) 6 for receiving microprogram order controlling commands. Then a microinstruction address held by a register (CCA) 5 is compared with the address of a branched direction address register 8 updated by a branching signal 12 at a comparator circuit 9 and only when the addresses are not equal to each other, tracing data are written in a tracing memory (TRM) 13 and a tracing data address register (TRA) 12 is updated. Therefore, tracing is controlled and efficient tracing can be realized.



引用例 1 の写し

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平2-148339

⑬ Int.Cl.⁵
G 06 F 11/28識別記号
310 E庁内整理番号
7343-5B

⑭ 公開 平成2年(1990)6月7日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 トレーサ制御回路

⑯ 特 願 昭63-303168

⑰ 出 願 昭63(1988)11月30日

⑱ 発明者 牧田 明久 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発明者 橋田 真裕美 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内

⑳ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 出願人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号

㉒ 代理人 弁理士 柳川 信

明細書

1. 発明の名称

トレーサ制御回路

2. 特許請求の範囲

(1) マイクロプログラムで制御されるデータ処理装置において実行されたマイクロ命令のアドレスを履歴として記録制御するトレーサ制御回路であって、前記マイクロ命令内のプログラム順序制御コマンドが条件分岐コマンドであるとき分岐コマンドを実行する毎に分岐した方向のマイクロ命令アドレスを保持するアドレス保持手段と、条件分岐コマンドを実行する毎に分岐した方向のマイクロ命令アドレスと前記アドレス保持手段に保持されている前回の条件分岐時の分岐方向のマイクロ命令アドレスとを比較する比較手段とを有し、この比較結果によりトレーサへのマイクロ命令アドレスの書き込み制御を行うようにしたことを特徴とするトレーサ制御回路。

3. 発明の詳細な説明

技術分野

本発明はトレーサ制御回路に関し、特にマイクロ命令のアドレスをマイクロ命令の実行履歴として記録するためのトレーサ制御回路に関する。

従来技術

従来のマイクロプログラムトレースの1つとしてトレースメモリ機能がある。この機能はデータ処理装置内にRAMを設けて実行したマイクロ命令のアドレスを全てこのRAM内に連続的に格納する方法である。

また実行したマイクロ命令をトレースする必要のない場合には、マイクロプログラムまたは他の方法でトレース条件を制御する方法がある。

上述した従来の技術のうち、まずトレースメモリ機能についてみると、この機能を用いてマイクロ命令の動きをトレースしようとすると、次の様な欠点があげられる。

メモリの容量は有限であるため、トレースメモリは常に最新の有限個の履歴を記録するように制御されるが、ループを構成するマイクロプログラ

ムにおいては、ループの回数が多くなれば多くの程、トレスメモリの一部又は全部がループを構成するマイクロプログラムのマイクロ命令のみの記録になってしまい、有効な情報が残らないので実用的でない。

次に、トレス条件を制御する方法においては、次の方法でしか上記欠点を解決できないと言う欠点がある。すなわち、ループの回数が多くトレスメモリに有効な情報が残らないと前もってわかつていれば、

①ループの入口のところにトレスを抑止するマイクロ命令を追加する。

②ループの出口でトレス抑止を解除するマイクロ命令を追加する。

この場合トレス抑止／解除の専用マイクロ命令が必要となる。

ところが、マイクロプログラムによっては前もってはループの回数がわからないときがある。この様な場合は、上記のトレス抑止／解除の専用マイクロ命令の追加による方法も用いることがで

きない。

発明の目的

本発明の目的は、簡単な構成で効率の良いマイクロプログラムのトレスが可能なトレス制御回路を提供することにある。

発明の構成

本発明によれば、マイクロプログラムで制御されるデータ処理装置において実行されたマイクロ命令のアドレスを履歴として記録制御するトレス制御回路であって、前記マイクロ命令内のプログラム順序制御コマンドが条件分岐コマンドであるとき分岐コマンドを実行する毎に分岐した方向のマイクロ命令アドレスを保持するアドレス保持手段と、条件分岐コマンドを実行する毎に分岐した方向のマイクロ命令アドレスと前記アドレス保持手段に保持されている前回の条件分岐時の分岐方向のマイクロ命令アドレスとを比較する比較手段とを有し、この比較結果によりトレスへのマイクロ命令アドレスの書き込み制御を行うようにしたことを特徴とするトレス制御回路が得られる。

実施例

次に本発明について図面を参照して説明する。

第1図において、1はマイクロ命令アドレスを保持するレジスタ（以後CSAと呼ぶ）である。命令開始時又は割込み処理開始時には、命令開始アドレス又は割込み処理開始アドレスが信号201によってCSA1にセットされる。このレジスタにセットされたアドレスにより、マイクロ命令を格納している制御記憶2（以後CSと呼ぶ）がアクセスされる。

CS2よりアクセスされたアドレスのマイクロ命令は次のタイミングでマイクロ命令受けレジスタ3（以後CSRと呼ぶ）にセットされる。CS2内のフィールド32は次のアドレスを示すフィールド（以後NAと呼ぶ）である。このフィールドにより示されたアドレスは、CSR3がセットされると同時に、信号202によりCSA1にセットされる。

この様に、一度命令開始（又は割込み処理開始）アドレスがCSA1にセットされると、次のアド

レスはNAにより順次生成されていく。

さて、マイクロ命令がセットされたマイクロ命令受けレジスタ3はいくつかのフィールドよりなっている。CSR3の各フィールドの出力が直接個々の回路（図は省略）を同時に制御してマイクロ命令を実行することになる。このうちフィールド31はマイクロ命令の順序制御を行うコマンド（以後ISQコマンドと呼ぶ）のフィールドである。このフィールド31が条件分岐コマンドであった場合、後で述べる分岐判定ロジック4（以後BRしと呼ぶ）への入力信号205は“1”となり、入力信号204は有効となる。

また、マイクロ命令がCSR3にセットされる同タイミングでCS2をアクセスしたマイクロ命令アドレスが、マイクロ命令アドレスを保持するレジスタ5（以後CCAと呼ぶ）にセットされる。

CS2をアクセスしたマイクロ命令アドレスであるが、CSA1にセットされたマイクロ命令アドレスで直接アクセス出来るとは限らない。一つ前のマイクロ命令アドレスによりアクセスされた

マイクロ命令の ISQ コマンドが、条件分岐コマンドであるかそれとも無条件分岐コマンドであるかにより進ってくる。もし、マイクロ命令アドレスによりアクセスされたマイクロ命令の ISQ コマンドが無条件分岐コマンドであった場合、CS2 をアクセスする命令アドレスは CSA1 にセットされたままのアドレス CSA が用いられる。一方、条件分岐コマンドであった場合、CS2 をアクセスする命令は分岐条件によって CSA の最下位ビットが修飾されたアドレスが用いられる。

ここで、一つ前のマイクロ命令アドレスによりアクセスされたマイクロ命令の ISQ コマンドが条件分岐コマンドであった場合は、必ず CSA1 に偶数アドレスがセットされる。

分岐判定回路 4 は以上の条件に当てはめて CS2 をアクセスするマイクロ命令アドレスを判断する分岐判定ロジック BRL である。

BRL 4 へは CSA1 の最下位ビット、信号 300 ~ 303、信号 204、信号 205 が入力される。4 本の信号 300 ~ 303 は分岐判定条件となる信号を示し、

メモリ 13 (以後 TRM と呼ぶ) の番地にマイクロ命令アドレスを記録する。TRA12 は TRM13 に書き込みが行なわれる度に +1 され、連続的に記録ができる様になっている。尚、TRA+1 のオーバフローは無視し、TRA の最大値の次は TRA = 0 となるサイクリックなアドレスとなる。

ここまで構成、動作については第 4 図で示している従来方式においても同様である。

第 1 図において、CSR3 のフィールド 31 は次のタイミングでマイクロプログラム順序制御コマンド受けレジスタ 6 (以後 ISQR と呼ぶ) にセットされる。ISQR6 に保持されているコマンドが条件分岐命令だったときにだけ、分岐判定エンコーダ 7 から出力される分岐信号 102 がオンとなる。

CCA5 に保持されたマイクロ命令アドレスは次のタイミングで比較回路 9 と TRD10 とにセットされ、分岐信号 102 がオンであれば、分岐方向アドレスレジスタ 8 (以後 BRA と呼ぶ) にセットされる。この時、分岐信号 102 がオンでなけ

選択信号 204 によって選択される。信号 205 は一つ前のマイクロ命令が条件分岐命令であった場合は "1"、無条件分岐命令であった場合は "0" である。

選択信号 204 によって選択された分岐の条件と信号 205 とはアンドゲートに入力される。そしてその結果と CSA1 の最下位ビットのオアがとられ、それが CS2 をアクセスするマイクロ命令アドレスの最下位ビットとなる。つまり、無条件分岐であった場合の CS をアクセスするアドレス CSA そのものであり、条件分岐であった場合の CS2 をアクセスするアドレスは、CSA1 の最下位ビットが分岐判定条件により修飾されたアドレスである。

CCA5 にセットされたアドレスは次のタイミングでトレースデータ書き込みレジスタ 10 (以後 TRD と呼ぶ) にセットされ、更に次のタイミングでトレース有効フラグレジスタ 11 (以後 TRE と呼ぶ) がオンであれば、トレースアドレスレジスタ 12 (以後 TRA と呼ぶ) が指すトレース

れば BRA8 は更新されない。つまり、分岐信号 102 は BRA8 に対するセット信号として用いられる。

BRA8 に保持されたデータは比較回路 9 に送られ、先程の CCA5 からのデータと比較される。つまり、分岐した方向のマイクロ命令アドレス (CCA5 からのデータ) と BRA に保持されている前回の条件分岐時の分岐方向のマイクロ命令アドレスとを比較するわけである。

分岐信号 102 は TRE11 に対してもセット信号として用いられ、分岐信号 102 がオンであれば、比較した結果は次のタイミングで TRE11 にセットされる。TRE11 にセットされる比較回路 9 の結果はイコールの時すなわち分岐方向が前回と同じ時 "0" となり、イコールではない時は "1" となる様にしておく。

このデータは次のタイミングでトレースメモリ 13 への書き込み信号となる。また TRA12 のセット信号でもある。すなわち、書き込み信号が "1" であった時には、TRA12 は次のタイミングで

更新されるが、書き込み信号が“0”だった場合は、更新されない様にしている。

実際に、この発明の回路がどの様に働くかを第2図で示される様なマイクロプログラムがどの様にして実行されていくかを見ることにより説明する。

まず、第2図について説明をする。この図において、一つのブロックは一つのマイクロ命令を表わし、また各ブロック内のアルファベットは各々のマイクロ命令アドレスを示している。尚、マイクロ命令Xと呼ぶときはアドレスXを持つマイクロ命令のことである。

各命令の内容については、

マイクロ命令A：Zの初期値セット（Z = 4）

Zは変数

マイクロ命令C：-1カウント（Z = Z - 1）

マイクロ命令D：判断（Z = 0であるかどうかを判断しNOならば、次にマイ

クロ命令Bを実行し、YESであったならば、次にマイ

のマイクロ命令のアドレスはEとなる。

このマイクロプログラムが実行される時の、第1図にある各々のレジスタの動作を示しているのが第3図のタイムチャートである。このタイムチャート上のCSR、ISQRにおいて、BRは無条件分岐、CBRは条件分岐であることを示す。

t1のタイミングでCSA1にセットされたアドレスAは、次のタイミングt2ではCCA5にセットされると共に、CSA1によってアクセスされたマイクロ命令AがCSR3にセットされる。

次のタイミングt3では、ISQR6に無条件分岐コマンド（BR）がセットされるので、BR A8、TRE11には共に新しいデータはセットされず、TRE11に保持しているトレーサの書き込み信号は“1”的ままである。（このマイクロプログラム開始時においてTRE11には“1”がセットされている）そこで、タイミングt4にて、トレースメモリ（TRM）13にアドレスAが保持される。CSAによってアクセスされたマイクロ命令のISQコマンドが、無条件分岐コマ

クロ命令Eを実行する。

とする。（ここで、マイクロ命令B、E、Fも何等かの処理を実行するが、本発明に直接関係ないので内容は省略する。）

第2図において、ISQコマンドが条件分岐であることを示すマイクロ命令は、マイクロ命令Dだけである。それ以外のマイクロ命令ではISQコマンドは無条件分岐であることを示している。

マイクロ命令AのNAはアドレスB、マイクロ命令BのNAはアドレスC、マイクロ命令CのNAはアドレスD、マイクロ命令DのNAはアドレスB、マイクロ命令EのNAはアドレスFである。

マイクロ命令BのアドレスBは最下位ビットが“0”である。そして、マイクロ命令EのアドレスEは、アドレスBの最下位ビットが分岐判定条件等によって修飾されたもの、つまり

アドレス E = B + 1

である。

マイクロ命令Dで分岐判定条件Z = 0が満たされたなら、NAの最下位ビットが修飾されて、次

のマイクロ命令のアドレスはEとなる。

このマイクロプログラムが実行される時の、第1図にある各々のレジスタの動作を示しているのが第3図のタイムチャートである。このタイミングチャート上のCSR、ISQRにおいて、BRは無条件分岐、CBRは条件分岐であることを示す。

t1のタイミングでCSA1にセットされたアドレスAは、次のタイミングt2ではCCA5にセットされると共に、CSA1によってアクセスされたマイクロ命令AがCSR3にセットされる。次のタイミングt3では、ISQR6に無条件分岐コマンド（BR）がセットされるので、BR A8、TRE11には共に新しいデータはセットされず、TRE11に保持しているトレーサの書き込み信号は“1”的ままである。（このマイクロプログラム開始時においてTRE11には“1”がセットされている）そこで、タイミングt4にて、トレースメモリ（TRM）13にアドレスAが保持される。CSAによってアクセスされたマイクロ命令のISQコマンドが、無条件分岐コマンドによって実行される。

次のタイミングt5で、ISQR6の値より回路7からレジスタBRA8とTRE11にセット

信号が送られる。セット信号により BRA8 はアドレス B がセットされる。一方、TRE11 は t6 のタイミングまで BRA8 にアドレス B 以外のデータがセットされていたので、比較回路 9 で比較された結果 “1” が TRE11 にセットされる。また、このタイミング t7 で、CSA1 に 2 回目のアドレス D がセットされる。この時 Z = 2 があるので D が実行されることになる。以降、同様に動作する。

タイミング t9において、ISQR6 に条件分岐コマンドがセットされると、次のタイミング t10 でレジスタ BRA8 と TRE11 にセット信号が送られる。その結果、BRA8 にはアドレス B がセットされ、TRE11 には比較回路 9 からの出力 “0” がセットされる。この値は t9 までの BRA8 にセットされていたものがアドレス D であったので、CCA5 からのデータであるアドレス B と比較され、一致した結果である。また、同タイミングで CCA5 からのデータであるアドレス B が TRD10 にもセットされる。

A8、TE11 に対するセット信号 102 がオンとなる。この信号により BRA8 にはアドレス E がセットされ、t15まで BRA8 にセットされていたアドレス B と今回の条件分岐先アドレスであるアドレス E とが比較回路により比較され、その結果 “1” が TRE11 にセットされる。この時 TRD10 には、アドレス E がセットされる。

次のタイミング t17 ではトレースメモリ (TRM) 13 への書き込み制御信号が “1” になったことから、アドレス E が書き込まれる。次のタイミングでは、TRA12 が更新され、TRM13 の書き込み先アドレスが 1 つ進み t17 で TRD10 に保持されていた値、アドレス F が書き込まれる。

この様に、n 回ループ構成のマイクロプログラムに対しては、最初の 2 回分だけトレースすることになり、(n-2) 回分はトレースされない。またループから抜け出たところからトレースが再開される。

発明の効果

以上のように、本発明によれば、トレースの書き込みを制御することにより、マイクロプログラムにおいて何等意識することなく、トレースの制御ができる、効率の良いマイクロプログラムトレースが可能となるという効果がある。

次のタイミング t11においては、TRE11 からの書き込み制御信号が “0” であるため、TRD10 にセットされていたアドレス B はトレースメモリ (TRM) 13 にはセットされない。またトレーサーへの書き込みアドレスを制御する TRA12 も更新されない。

その後、次の条件分岐信号により、ISQR6 から TRE11 に対してセット信号を出さない限り、TRE11 の値は “0” のまま保持されるので、トレーサへの書き込みは起こらない。

タイミング t14 でマイクロ命令 D が CSR3 にセットされる。この時 Z = 0 であり、CS2 をアクセスするアドレスの最下位ビットが修正され、次はアドレス E のマイクロ命令を実行することになる。そこで、次のタイミング t15 では、CCA5 にアドレス E がセットされる。また、同タイミングで ISQR6 にも条件分岐コマンドがセットされる。

次のタイミング t16において、ISQR6 の条件分岐コマンドにより、回路 7 からレジスタ BR

みを制御することにより、マイクロプログラムにおいて何等意識することなく、トレースの制御ができる、効率の良いマイクロプログラムトレースが可能となるという効果がある。

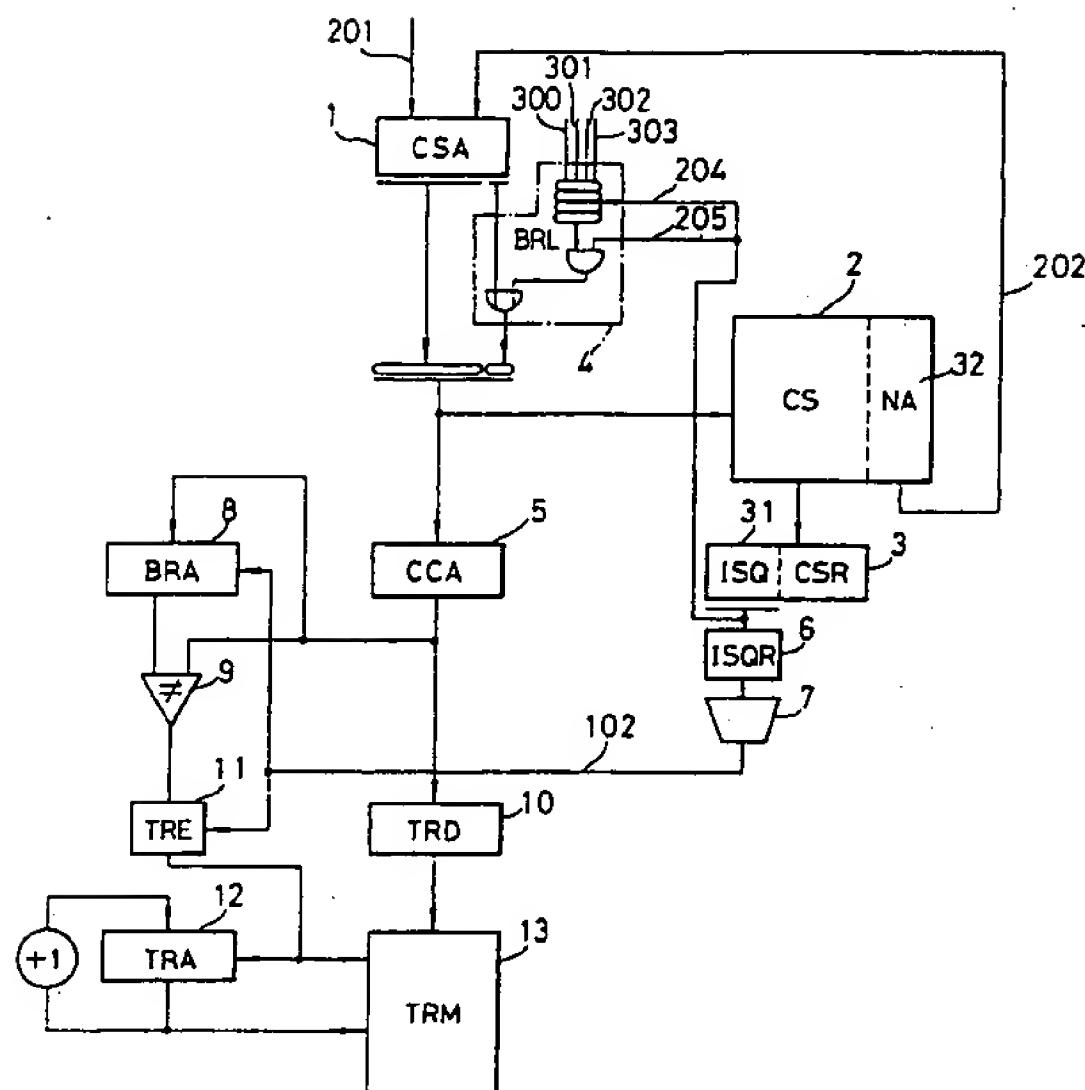
4. 図面の簡単な説明

第 1 図は本発明の実施例のブロック図、第 2 図はマイクロ命令の例を示す図、第 3 図は第 2 図に示したマイクロ命令を実行した場合のタイムチャート、第 4 図は従来のトレーサ制御回路例を示す図である。

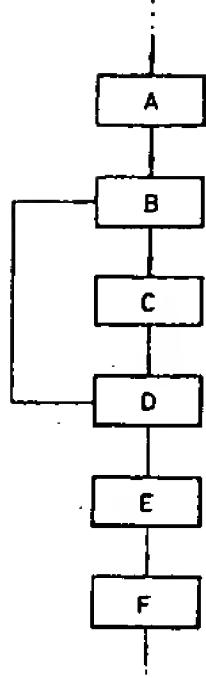
主要部分の符号の説明

1. 5 ……マイクロ命令アドレスレジスタ
- 2 ……制御記憶
- 3 ……マイクロ命令受けレジスタ
- 4 ……分岐判定ロジック
- 6 ……順序制御コマンド受けレジスタ
- 7 ……分岐判定エンコーダ
- 8 ……分岐方向アドレスレジスタ
- 9 ……比較回路
- 13 ……トレースメモリ

第1図



第2図



第3図

	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆	T ₇	T ₈	T ₉	T ₁₀	T ₁₁	T ₁₂	T ₁₃	T ₁₄	T ₁₅	T ₁₆	T ₁₇	T ₁₈
CSA	A	B	C	D	B	C	D	B	C	D	B	F	X	*	*			
CSR	*	A	B	C	D	B	C	D	B	C	D	E	F	*	*			
ISQR	*	*	BR	BR	BR	BR	BR	BR	BR	BR	*							
CCA	*	A	B	C	D	B	C	D	B	C	D	E	F	*	*			
BRA	*	*	*	*	*	B	B	B	B	B	B	B	E	E	E			
TRE	1	1	1	1	1	1	1	0	0	0	0	0	0	1	1			
TRD	*	*	A	B	C	D	B	C	D	B	C	D	E	F	*			
TRM	*	*	*	A	B	C	D	B	C	D			E	F				

第4図

